

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-246993

(43)Date of publication of application : 05.11.1991

(51)Int.Cl.

H05K 3/46

(21)Application number : 02-042468

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.02.1990

(72)Inventor : MIYAZAKI KUNIO
SUGITA KEN
KOBI AKIO
MITSUYOSHI TADAHIKO
MIURA OSAMU
TAKAHASHI AKIO
NUMATA SHUNICHI
OGIWARA SATORU
YAMADA KAZUJI
INOUE KOICHI
KOBAYASHI FUMIYUKI

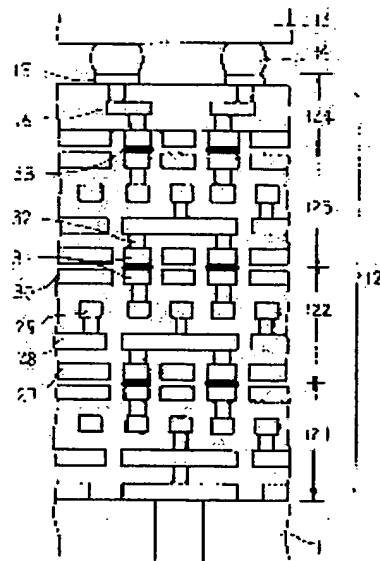
(54) MOUNTING BOARD

(57)Abstract:

PURPOSE: To enhance reliability and a production yield by a method wherein a thin-film wiring layer laminated by many layers is divided into several layers of unit wiring parts and the parts are connected via connecting pads formed at through hole parts between the units.

CONSTITUTION: A high-integration-density LSI 13 is connected, by using solder balls 14, to a thin-film wiring layer 12 which has been formed on a ceramic substrate 11. The layer 12 is divided into four units UN 121 to UN 124. The individual UN's excluding the UN 124 are constituted of signal line layers 28, 29 crossing at right angles to each other and of power-supply layers and ground layers 27, 30 on both sides of them. The UN 124 is constituted of pads 15 for connection use to the LSI 13 and of expansion layers 16 used to adjust the pitch of through holes. The individual UN's are connected by using opposite connecting pads 31 formed inside the layers 27, 30 on the surface of the UN's. The size of the pads 31 is made larger than that of through holes 32.

Thereby, a connecting operation can be executed easily, and reliability and a yield can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-246993

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月5日

H 05 K 3/46

Q

6921-4E

審査請求 未請求 請求項の数 9 (全6頁)

⑭ 発明の名称 実装基板

⑯ 特 願 平2-42468

⑰ 出 願 平2(1990)2月26日

⑱ 発 明 者 宮 崎 邦 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 杉 田 愼 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 向 尾 昭 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 三 吉 忠 彦 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

実装基板

2. 特許請求の範囲

- セラミック又はシリコン基板上に多層の薄膜配線部を有するLSI実装基板において、前記薄膜配線部が複数の配線層からなる配線ユニットに分割されており、かつ前記ユニットの表面導体層と同一面内に形成された接合パッドを通して各ユニット間の配線が電氣的に接続される構造を有する実装基板。
- 前記配線ユニットの一部が信号層と電源層及びグランド層から構成され、前記電源層及びグランド層が両表面に形成され、かつ各層がスルーホールによつて電氣的に接続されていることを特徴とする請求項1記載の実装基板。
- 前記配線ユニットの電源層及びグランド層はベタ膜であり、該ベタ膜面内にベタ膜とは電氣的に絶縁されたパッドが形成されていることを特徴とする請求項2記載の実装基板。

- 前記配線ユニットを構成する配線層の導体層がCu、Al、Au又はAgのうちいずれかの金属で形成されていることを特徴とする請求項1記載の実装基板。
- 前記配線ユニットを構成する配線層の絶縁層がポリイミドで形成されていることを特徴とする請求項1記載の実装基板。
- 前記配線ユニットにおいて、接続のために相対向する2つのユニット表面の導体パターンの形状が同一であることを特徴とする請求項1記載の実装基板。
- 前記配線ユニット間の接合パッドの大きさが各内層配線をつなぐためのスルーホールの大きさよりも大きいことを特徴とする請求項1記載の実装基板。
- 前記ユニットは前記薄膜配線の構成要素とは異なる仮基板を用いて形成されることを特徴とする請求項1記載の実装基板。
- 前記ユニットは薄膜プロセスにより前記仮基板上に形成されることを特徴とする請求項1記載の実装基板。

載の実装基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電子計算機における複数個のLSIを搭載する実装基板に係わり、特にセラミツク基板上にポリイミドのような有機膜を絶縁層とし、薄膜プロセスを用いて形成される多層配線基を有する実装基板に関する。

〔従来の技術〕

電子計算機に用いる実装基板においては、LSI間を渡る信号伝送の高速化を図るため、多数のLSIを高密度に実装し、かつ、基板内での信号遅延を小さくすることが増々重要な課題となっている。

このような課題に対し、WやMo等の配線層を厚膜プロセスで形成し積層焼結したセラミツク基板上にポリイミド層間絶縁膜とし、CuやAlを導体層を薄膜プロセスで形成した薄膜、厚膜混合基板が注目され、開発されつつある。薄膜配線部におけるポリイミドの誘電率がセラミツクスより

小さく、低抵抗のCuやAlを使用できかつ半導体プロセスを用いることによって、信号伝送の高速化と高密度化が可能となる。

しかし、計算機の高性能化に伴い、単位面積当りの実装ゲート数が増大し、これに対応するためには薄膜配線層の積層数を増やすことになる。

薄膜多層配線を形成する技術については、すでにいくつか報告されている。しかしその基本的プロセスはセラミツク基板やSi基板上に導体層、スルーホール及びポリイミド層のパターニングをフォトリソの露光、現像によって行う薄膜プロセスが用いられている。しかし、この薄膜プロセスは配線の微細化には適しているが、導体とスルーホールを一層ずつ形成するいわゆる逐次積層方式となるため、積層数の多い薄膜配線を形成する場合には膨大な時間を必要とし、さらに最終のプロセス段階で生じる不良によって、基板全体が不良になり、歩留りが低く製品コストが高いものになるという欠点があった。また、薄膜配線では配線抵抗を低いレベルに抑えるため、配線幅を微

細化すると配線厚さを大きくして断面積を確保する必要がある。

そのため、配線層の厚さが線幅と同一かそれ以上になり、流動性をもつポリイミドワニスを用いても平坦性の確保が困難となり、積層数の増大とともに配線パターンの精度が悪くなり、断線やショートが多くなるといった問題があった。また、³入力出力の端子を有するセラミツク基板や、下層の薄膜配線部は繰り返し熱履歴や水、薬品等への浸せきを受けることになり、界面の劣化や不純物イオンによる汚染が生じ、信頼性が低下するという問題がある。

このような問題に対し、薄膜配線を別の基板上で形成し、それを入出力端子を有する本来のセラミツク基板上にハンダで接続したパッケージが開示されている(特開昭61-40048号)。このパッケージは単にセラミツク基板から薄膜配線部を独立して形成するもので、薄膜配線部をユニット化していた本発明とは基本的に異なる。また、薄膜形成に用いる仮基板がそのままパッケージの構成

要素になっていることから、薄膜配線層が不必要に厚くなり、信号伝送の高速化に対しても好ましくない。

また、別の方法として特開昭63-274199号公報に、配線が形成されたポリイミドフィルムを一括積層し、スルーホール部を熱圧着する方法が開示されている。

この方法はスルーブツト時間を短縮化する上で効果大きいのが、積層プロセスで薄膜状のポリイミドフィルムを扱うことになり、位置合精度の向上が困難で、かつ、接続点数が極めて膨大になり、接続部の信頼性が低いという欠点を有する。

〔発明が解決しようとする課題〕

本発明の目的は上記のような従来技術の欠点をなくし、薄膜配線層の層数の多い基板においても歩留り良く、かつ短時間で薄膜配線層形成が可能な構造を有する混成基板を提供することにある。

また、本発明の他の目的は上記混成基板を製造する方法を提供することにある。

このような本発明の目的を達成するには、まず

多数の積層数を有する薄膜配線層をいくつかの層からなるユニット配線部に分割し、ユニット間のスルーホール部に形成された接続パッドを介して接続した構造とすること、さらに、配線ユニットは一時的に用いる基板(仮基板)上に形成することによって達成される。すなわち、スルーホール部を突合せ、ユニット間の電氣的接続を行った後仮基板とユニット基板を分離し、それを繰返すことによって薄膜配線層を歩留り良く、かつ短時間に形成できるのである。

本発明の実装基板はセラミック又はシリコン基板上に多層の薄膜配線層を有するLSI実装基板であつて、前記薄膜配線層が複数の配線層からなる配線ユニットに分割されており、かつ前記ユニットの表面導体層と同一面内に形成された接合パッドを通して各ユニット間の配線が電氣的に接続される構造を有することを特徴とする。

また、前記配線ユニットの一部が信号層と電源層及びグランド層から構成され、前記電源層及びグランド層が両表面に形成され、かつ各層がスルー

ホールによつて電氣的に接続されていることを特徴とする。

さらに、前記配線ユニットの電源層及びグランド層はベタ膜であり、該ベタ膜面内にベタ膜とは電氣的に絶縁されたパッドが形成されていることを特徴とする。

前記配線ユニットを構成する配線層の導体層は、Cu、Al、Au又はAgのうちのいずれかの金属で形成されていることが好ましい。

前記配線ユニットを構成する配線層の絶縁層は、ポリイミドで形成されていることが好ましい。

また、前記配線ユニットにおいて、接続のために相対向する2つのユニット表面の導体パターンの形状が同一であることが好ましい。

さらに、前記配線ユニット間の接合パッドの大きさが各内層配線をつなぐためのスルーホールの大きさよりも大きいことが好ましい。

一方、前記ユニットは前記薄膜配線の構成要素とは異なる仮基板を用いて形成されることが好ましい。

また、前記ユニットは薄膜プロセスにより前記仮基板上に形成されることが好ましい。

〔作用〕

薄膜配線を複数の配線層を有するユニット分け、ユニット間を接続パッドを介して接続する構造とした理由は薄膜配線層をユニット毎に分割して作製でき、ユニット間の接続を行う前に良品と不良品の選別を行うことによって最終歩留りを大幅に向上できるためである。また各ユニットを並列して作製することにより、実装基板を作製する時間を大幅に短縮できる。

配線ユニットの構造として信号層を内層にし外層に電源、グランド層を設けた理由は、電源層及びグランド層が基本的にベタ膜であるため、配線幅が微細な信号配線層やスルーホールを保護できるためと、ユニット間の配線層をつなぐ微細なスルーホールよりも大きい接続パッドを電源層及びグランド層内に形成でき、ユニット間の接続の信頼性を高めることができるためである。

また、上記配線ユニットを形成するのに仮基板

を用いるのは、各配線ユニットを逐次プロセスで形成でき、逐次積層のメリットである配線幅や配線ピッチの微細化が容易であり、2つのユニット間の接続時の位置合せ精度を向上でき、かつ接続時の加圧治具として利用するためである。

さらに上記仮基板がユニット間の接続後、ユニットとの分離が容易に行える材質と表面処理を兼ねている理由は、ユニット間の接続部に損傷を与えずに、仮基板をユニットから分離するためである。

〔実施例〕

以下、本発明を図面を用いて詳細に説明する。第1図は本発明に基づく実装基板の断面構造を示す。セラミック基板(11)に形成された薄膜配線層(12)には集積度の高いLSI(13)がハンダボール(14)で接続されている。前記薄膜配線層は4つのユニット(121, 122, 123, 124)に分割されている。最上層のユニット(124)を除く各ユニットは、互いに直交する2つの信号ライン層(28, 29)とその両側に位置する電源層及びグランド層(27, 30)か

ら構成されている。最上層ユニット(124)はLSIとの接続を行うためのパッド(15)と、このパッドピッチと下層ユニット内のスルーホールピッチを調整するための拡大層(16)から構成されているが、場合によってはこの最上層中に終端抵抗層や電源層を加える場合もある。

前記各ユニット間の接続はユニット表面の電源層及びグランド層内に形成された相対向する接続パッド(31)によって行われる。この場合、接続パッドの大きさをスルーホール(32)より大きくすることによって接続を容易にし接続部の信頼性を高めることができる。また、この接続には配線金属とは異なる低融点の合金(33)が用いられ、加圧状態で低融点合金の融点以上に加熱することによって、機械的にも電気的にも確実な接続を行うことができる。各ユニット間の接続順序はセラミック基板側から順次行うか、薄膜配線部の各ユニットを接続後セラミック基板との接続を行ってもよい。

このように薄膜配線部をいくつかの分割ユニットの接続構造とすることにより、各ユニットを個

別にかつ並列的に作製、検査できるので実装基板としての歩留りが向上し、かつ短時間に作製できる。

次に上記配線ユニットの作製方法を説明する。各配線ユニットは薄膜プロセスを用いて作製する。薄膜プロセスは厚膜プロセスに比べ、配線の微細化が容易であるため、最小線幅を $10 \sim 20 \mu\text{m}$ 程度に微細化できる。しかし、線幅を小さくすると配線抵抗が増大するため、厚さを厚くして抵抗の増大を防ぐ必要がある。例えば線幅 $20 \mu\text{m}$ の場合、厚さも $20 \mu\text{m}$ 以上が好ましく、配線断面のアスペクト比が1以上となる。したがってこのような厚い膜から構造されるユニット基板を作製するには導体形成にメッキ法を用い、絶縁膜形成にはポリイミドワニス^{(10)~(12)}を厚く塗布して熱硬化する方法が用いられる。

第2図はCuとポリイミドを用いた4層からなる配線ユニットを作成する方法を示したものである。まず、Cuやポリイミド膜の形成によって変形することのない十分な剛性と平坦性を有し、か

つ配線ユニットとの接着力を適正な範囲に調整した表面(22)を有する仮基板(21)を用意し、その上に電源層あるいはグランド層となるCu膜(23)をメッキ法により形成する。次いでフォトリジスト(24)を用いてパターンを形成後、Cu膜(23)のエッチングを行う。さらにポリイミドワニスの塗布、熱硬化を行った後、ポリイミド層(25)の一部をエッチングによって開口しスルーホール穴(26)を形成する。さらにスルーホール穴をメッキ法によりCuで埋めることによって第一層目(27)の配線形成を終了する。同様のプロセスを繰返すことによって第2層(28)、第3層(29)、第4層(30)の導体配線の形成を完了する。最後に4層目の導体層内に設けられた接続パッド表面(31)にAu-Sn、Au-SiあるいはPb-Sn等の合金膜(32)が形成される。

このプロセスにおいて基板に十分な平坦性と剛性が必要なのは第4層目の電源層内に形成される接続パッドの高さを均一に揃え、後で行うユニット間の接続を確実に行うためである。また、プロ

セス基板にユニット、すなわち、第1層目のCu膜との接着力を適正な範囲に調整したものを用いるのは、上記配線ユニットを形成する間は仮基板からはくりすることなくかつユニット間の接続を行った後は接続部に損傷を与えることなく仮基板を分離できるようにするためである。そのためにはユニット基板の材質と表面粗さを適定する必要がある。Cu膜の場合、ステンレスが最適で、表面粗さを変えることによって接着力をコントロールできる。接着力は上記配線ユニットを作製する過程ではく離や分離が生じないものであり、かつユニット間の接着力よりも小さい範囲に調整する必要がある。

第3図は^{(10)~(12)}ユニット間の接続方法を示す。ユニット間の接続にはユニットを作製するために用いた仮基板(21)をユニットのキャリヤ及び接合治具としてそのまま用いる。すなわち仮基板上に形成されたユニット122どうしが相対する様に配し、接続パッドの位置合せを行ってから加圧を行い、パッド面のハンダ(33)が溶融する温度に加熱して

接続を行う。その後プロセス基板のみ配線ユニットから分離し、1つのユニットの接続が完成する。これを繰返すことによつて全てのユニットの接続を終了することができる。この場合プロセス基板を分離する際の接続パッドの破壊が心配される場合には他の部分もハンダあるいは熱硬化性樹脂等で接合ユニット間の接着強さを補強してもよい。

また、ユニット間の位置合せを高精度に行う場合には、ユニット同士を対向させる前にプロセス基板上のパターン位置をイメージセンサで読み取り、そのデータを基に自動アライメントを行うようにする。

【発明の効果】

以上、本発明によれば積層数の多い薄膜多層配線をユニット毎に分割して作製でき、かつ、各ユニット毎に検査ができるので全体としての歩留りが飛躍的に向上し、かつスループットを短くできる効果がある。

また、仮基板を用いて配線ユニットを形成することにより、微細な線幅をもつ信号層の形成が容

易になりかつ、各ユニット間の接続のための位置合せ作製の精度が向上し、接続の信頼性を高める効果がある。さらに本発明の実装基板を用いて計算機を作製することにより計算機全体の信頼性を高めることができる。

4. 図面の簡単な説明

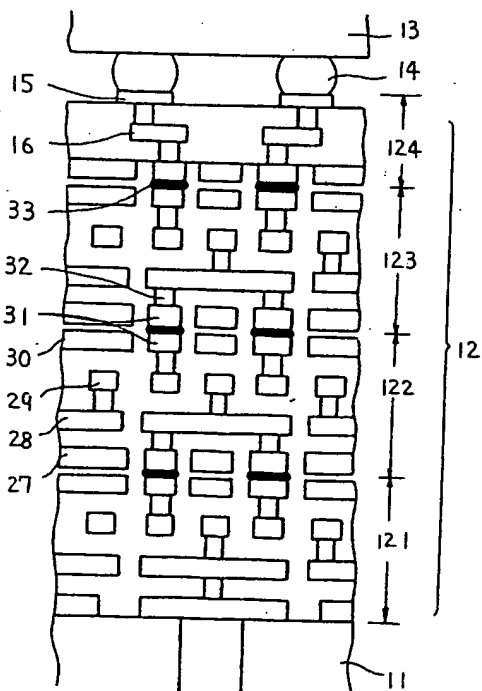
第1図は本発明の薄膜多層配線の構造を示す断面図であり、第2図は配線ユニットの作製方法を示す図であり、第3図は、配線ユニットの接続方法を示す図である。

11…セラミック基板、12…薄膜多層配線、13…LSI、14…はんだボール、15…LSIとの接続パッド、16…拡大局、21…仮基板、22…仮基板表面、23…Cu導体層、24…フオトレジスト、25…ポリイミド層、26…スルーホール穴、27…第1層目配線、28…第2層目配線、29…第3層目配線、30…第4層目配線、31…ユニット間接続パッド、32…スルーホール配線、33…低融点合金、121、122、123、124…配線ユニット。

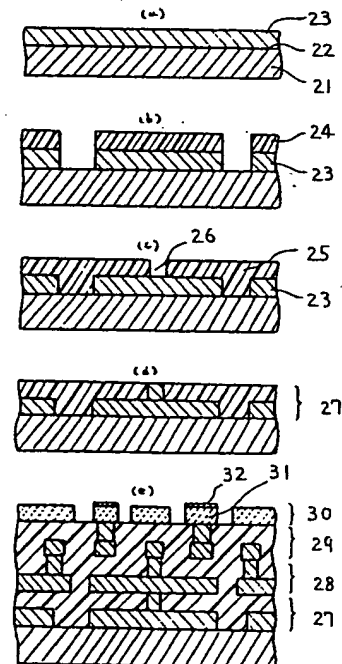
代理人 弁理士 小川勝男



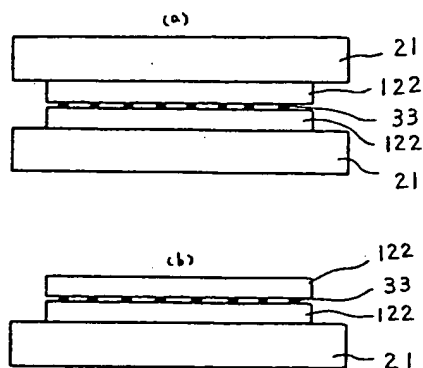
第1図



第2図



第3図



第1頁の続き

| | | | | |
|------|----|-----|-------------------------|--------------|
| ⑦発明者 | 三浦 | 修 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑧発明者 | 高橋 | 昭雄 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑨発明者 | 沼田 | 俊一 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑩発明者 | 萩原 | 覚 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑪発明者 | 山田 | 一二 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑫発明者 | 井上 | 広一 | 茨城県日立市久慈町4026番地 研究所内 | 株式会社日立製作所日立研 |
| ⑬発明者 | 小林 | 二三幸 | 神奈川県秦野市堀山下1番地 工場内 | 株式会社日立製作所神奈川 |